

JP2002093743 A

MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

OKI ELECTRIC IND CO LTD

Inventor(s):TAI KAORI

Application No. 2000275207 JP2000275207 JP, Filed 20000911,A1 Published

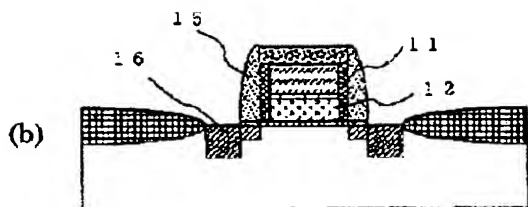
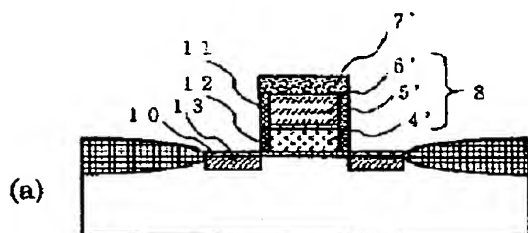
20020329Published 20020329

Abstract: PROBLEM TO BE SOLVED: To restrain generation of whiskers in a metal electrode.

SOLUTION: A high-melting point metal film 6 is formed on a semiconductor substrate 1, and a first nitride film 7 is formed on the high-melting point metal film 6. Thereafter, the high-melting point metal film 6 and the nitride film 7 are patterned and the side surface of a patterned high-melting point metal 6' film is nitrided.

Int'l Class: H01L02128; H01L0213065 H01L021318 H01L0213213 H01L0213205 H01L02943 H01L02978

Patents Citing this One: No US, EP, or WO patents/search reports have cited this patent. **MicroPatent Reference Number:** 000452777



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-93743
(P2002-93743A)

(43) 公開日 平成14年3月29日 (2002.3.29)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 1 L 21/28	3 0 1	H 0 1 L 21/28	3 0 1 R 4 M 1 0 4
21/3065		21/318	A 5 F 0 0 4
21/318			Z 5 F 0 3 3
		21/302	J 5 F 0 4 0
21/3213		21/88	D 5 F 0 5 8
審査請求 有 請求項の数 7 O L (全 5 頁) 最終頁に続く			

(21) 出願番号 特願2000-275207 (P2000-275207)

(22) 出願日 平成12年9月11日 (2000.9.11)

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 田井 香織

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74) 代理人 100089093

弁理士 大西 健治

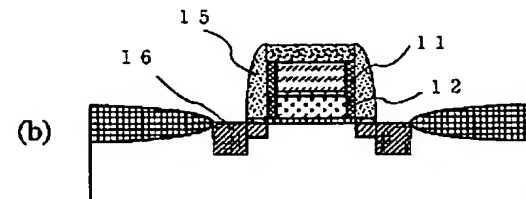
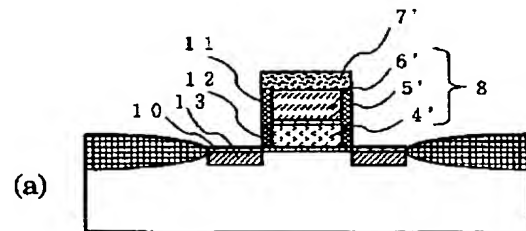
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 メタル電極におけるウィスカの発生を抑制する。

【構成】 半導体基板1上に高融点金属膜6を形成し、この高融点金属膜6上に第1の窒化膜7を形成する。その後、高融点金属膜6および窒化膜7をパターニングし、パターニングされた高融点金属6'膜の側面を窒化する。



【特許請求の範囲】

【請求項 1】 半導体基板上に高融点金属膜を形成する工程と、
前記高融点金属膜上に第 1 の窒化膜を形成する工程と、
前記高融点金属膜および前記窒化膜をパターンニングする工程と、
パターンニングされた前記高融点金属膜の側面を窒化する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、前記高融点金属膜は前記半導体基板上に形成された多結晶シリコン膜上に、この多結晶シリコン膜との反応を抑制するバリア膜を介して形成されることを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 記載の半導体装置の製造方法において、さらに、前記高融点金属膜の窒化された側面を覆う窒化膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 記載の半導体装置の製造方法において、前記高融点金属膜の側面を窒化する工程は、アンモニアを用いたプラズマ窒化处理により行われることを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 4 記載の半導体装置の製造方法において、さらに、前記高融点金属膜の窒化された側面を覆う窒化膜を、減圧 CVD 法により形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 記載の半導体装置の製造方法において、前記高融点金属はタングステンであることを特徴とする半導体装置の製造方法。

【請求項 7】 半導体基板上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に高融点金属膜を形成する工程と、
前記高融点金属膜上に窒化膜を形成する工程と、
前記窒化膜および前記高融点金属膜をパターンニングする工程と、
パターンニングされて露出した前記高融点金属膜の側面を窒化する工程と、
窒化された前記高融点金属膜の側壁に窒化膜のサイドウォールを形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、高融点金属を用いたゲート電極あるいは高融点金属を用いた配線の製造方法に関する。

【0002】

【従来の技術】 従来、デバイスのゲート電極の構造としては、多結晶シリコンゲート電極や、多結晶シリコン膜の上にタングステンシリサイド膜を積層したポリサイドゲート電極構造が一般的に用いられてきた。デバイスの

高集積化、高速化を実現するためには、ゲート電極をより低抵抗化する必要があり、そのための技術の開発が進められている。

【0003】 一例として、タングステンなどの高融点金属、及びその窒化物のバリア層、多結晶シリコン膜を積層した、ポリメタルゲートと呼ばれるゲート構造（文献：Y. Akasaka et al., IEEE Trans. Electron Devices, ED-43, 1864 (1996)）が報告され、低抵抗ゲートの実現に有効な構造と考えられている。

【0004】 また、デバイスの高集積化に伴い、ソース、ドレインへのコンタクトホールとゲート電極との合わせ余裕がリソグラフィ技術の限界に近づいており、この限界を克服するために自己整合コンタクト (Self Aligned Contact : 以下 SAC という) 技術を適用する要求が大きくなっている。

【0005】 この SAC 技術とは、ゲート電極の上部及びサイドウォールをシリコン窒化膜にて形成し、ソース、ドレイン拡散層に達するコンタクトホールを層間絶縁膜に形成する際に、これらシリコン窒化膜によりゲート電極がマスクされ、自己整合的にソース、ドレインのコンタクトホールを形成するものである。

【0006】

【発明が解決しようとする課題】 シリコン窒化膜のサイドウォールは、パターンニングされたポリメタルゲート上に窒化膜を形成し、異方性エッチングを施すことにより形成される。この窒化膜は通常減圧 CVD 法で形成される。この減圧 CVD 法によるシリコン窒化膜の性膜は通常 700℃ 以上の高温で行われる。

【0007】 ポリメタルゲート電極においてタングステンをういた場合、タングステンの露出している側面にはタングステンの酸化膜が形成されている。このようなタングステンの酸化膜が形成されている状態でウエハを高温にするとウィスカが発生する。

【0008】 このウィスカの発生を抑制するためには、窒化膜成膜時にタングステン膜の酸化を低減することが重要であり、そのため、ウエハの挿入温度を 550℃ から 350℃ まで低温化する、あるいはアンモニアを用いた還元処理を行いタングステン膜の表面に形成されるタングステン酸化膜の酸素を除去するなどの方法が提案されている。しかしながら、ウエハの挿入温度の低温化を行う場合は、処理時間が長くなることが問題として挙げられる。またアンモニア還元処理を行う場合においては、処理圧力に依存するため、最適な処理条件を設定することが困難である。

【0009】 本発明では、より確実にウィスカの発生を抑制する方法を提供することを目的とする。

【0010】

【課題を解決するための手段】 本願発明の半導体装置の製造方法では、半導体基板上に高融点金属膜を形成し、この高融点金属膜上に第 1 の窒化膜を形成する。その

後、高融点金属膜および窒化膜をパターニングし、パターニングされた高融点金属膜の側面を窒化する。

【0011】

【発明の実施の形態】以下、図1および図2を用いて本発明の第1の実施形態について説明する。

【0012】まず、図1(a)に示されるように、例えば厚いシリコン酸化膜からなる素子分離領域2が形成された半導体基板1上に膜厚1-10nmのゲート酸化膜3、膜厚50-200nmの多結晶シリコン膜4が順次形成される。ゲート酸化膜3は例えば成膜温度800℃、 $H_2:O_2:N_2=1:1:4$ の条件で形成される。多結晶シリコン膜4は例えば縦型LPCVD (Low Pressure Chemical Vapor Deposition) 装置を用い、成膜温度620℃、圧力0.2 Torr、反応ガスとして SiH_4 を250 sccmの流量で供給することにより形成される。

【0013】次に、多結晶シリコン膜4にイオンを導入する。イオンは、例えば、リンイオンが用いられ、15keV、 $5E15cm^{-2}$ の条件で導入される。リンイオンを導入後、例えば1000℃で10秒間、活性化熱処理が行われる。

【0014】イオンとしては、リンのほか、砒素やボロンなどを用いることも可能である。砒素を用いる場合は、40keV、 $5E15cm^{-2}$ で、ボロンを用いる場合は、10keV、 $2E15cm^{-2}$ の条件でそれぞれ導入される。活性化熱処理の条件はリンイオンの場合と同様である。

【0015】また、多結晶シリコン膜4の形成方法としては、多結晶シリコン膜形成時に PH_3 などを添加する方法によって不純物の導入された多結晶シリコン膜4を形成することもできる。

【0016】次に、図1(b)に示されるように、多結晶シリコン4上にタングステンナイトライド膜5を3-10nm成膜する。

【0017】タングステンナイトライド膜5はスパッタ法により、スパッタパワー0.5kWで、 $Ar:N_2=1:1$ のガスを使用し、3mTorrの圧力で室温で成膜される。ターゲットにはタングステンが用いられる。

【0018】次に、タングステンナイトライド膜5上にタングステン膜6を30-200nm成膜する。タングステン膜6は、スパッタ法により、スパッタパワー1kWで、 Ar ガスを用い、3mTorrの圧力で室温で成膜される。ターゲットにはタングステンが用いられる。

【0019】次に、タングステン膜6上にシリコン窒化膜7を100-300nm成膜する。

【0020】シリコン窒化膜7は、プラズマCVD法を用い、400-500℃で形成される。

【0021】一例として、成膜温度420℃、 $SiH_4/N_2/NH_3=240/600/1350$ sccm、3.5 Torr、プラズマパワー500/170Wの条件で形成される。

【0022】タングステンナイトライド膜5は、タングステン膜6と多結晶シリコン膜4との反応を抑制するた

めに用いられる。このため、タングステン膜6と多結晶シリコン膜4との反応を抑制することのできる膜であれば、例えばチタンナイトライド膜などを用いることも可能である。

【0023】タングステンナイトライド膜を用いる場合は、タングステン膜6と同一の処理装置内で成膜でき、ウェハ移動時間を省略できる。

【0024】また、タングステンナイトライド上にタングステンを形成する場合、タングステンのグレインサイズが大きくなりやすく、低比抵抗得られる。

【0025】また、本実施形態ではタングステン膜6を用いているが、比較的低抵抗な高融点金属であればタングステン膜に変えて用いることも可能である。

【0026】次に、図1(c)に示されるように、多結晶シリコン膜4、タングステンナイトライド膜5、タングステン膜5がパターニングされ、多結晶シリコン膜4'、タングステンナイトライド膜5'、タングステン膜6'からなる積層電極8が形成される。

【0027】このパターニングは、図1(b)に示されるタングステン膜6上に図示しないレジストパターンを形成し、このレジストパターンをマスクにして、シリコン窒化膜7を、そしてパターニングされたシリコン窒化膜をマスクにしてタングステン膜6、タングステンナイトライド膜5、多結晶シリコン膜4を異方性エッチングし除去する。

【0028】シリコン窒化膜7のエッチングの条件としては、例えば、ガス： $He/CH_2F_2/CF_4$ 、圧力：7mTorr、RFパワー：450/50Wが用いられる。

【0029】タングステン膜6およびタングステンナイトライド膜5のエッチングの条件としては、例えば、ガス： $CF_4/O_2/Cl_2$ 、圧力5mTorr、RFパワー：200/75Wが用いられる。

【0030】多結晶シリコン膜4のエッチングの条件としては、例えば、ガス： $HBr/Cl_2/O_2$ 、圧力5mTorr、RFパワー：250/50Wや、ガス $HBr/O_2/He$ 、圧力60mTorr、RFパワー：250/50Wが用いられる。

【0031】次に、図2(a)に示されるように、タングステン膜6'の表面を窒化する。タングステン膜6'を窒化する条件は、プラズマパワー：100-1000W、ガス流量： NH_3 100-1000sccm、 Ar 500-2000sccm、圧力：0.1-10Torrで行われる。本発明においては、低温で窒化処理を行うことができれば、 NH_3 に限ることなく、例えば、 N_2 ガスを用いることも可能である。

【0032】この窒化処理により、タングステン膜6'の表面には、1-10nmのタングステンナイトライド膜11が形成される。

【0033】なお、この窒化処理により、多結晶シリコン膜4'の側面およびゲート酸化膜3の一部も窒化さ

れ、それぞれシリコン窒化膜 (SiNx) 12、シリコン酸窒化膜 (SiONx) 10となる。

【0034】その後、リンイオンが基板表面に15keVで4E13cm⁻²打ち込まれ、N型の浅い接合13が形成される。

【0035】また、P型の浅い接合を形成する場合は、BF₂イオンを5keVで2E15cm⁻²打ち込むことにより形成することが可能である。

【0036】この浅い接合13は、トランジスタのLD層として用いられるものである。

【0037】次に、図2(c)に示されるように、積層電極8の側壁にサイドウォール15を形成する。このサイドウォール15は、基板全面にシリコン窒化膜を形成し、基板全面に異方性エッチングを施すことにより形成される。

【0038】シリコン窒化膜は、LPCVD法により、成膜温度780℃、圧力0.35Torr、ガスNH₃/SiH₂Cl₂=1000/100sccmの条件で300-2000Å程度の膜厚に形成される。

【0039】サイドウォール15の形成の際には、カバレージが良好なLPCVD法を用いることが好ましい。LPCVD法によるシリコン窒化膜の形成工程では、一般に高温で処理が行われるが、本願発明では、タングステンの側壁を窒化しているためタングステンの側壁からのウィスカの発生を抑制することができる。

【0040】サイドウォール15を形成した後、このサイドウォール15をマスクにして砒素イオンを50keVで4E15cm⁻²打ち込むことにより深い接合16が形成される。

【0041】また、P型の深い接合を形成する場合は、BF₂イオンを20keVで2E15cm⁻²打ち込むことにより形成することが可能である。

【0042】この深い接合16は、トランジスタのソース、ドレインとして用いられる拡散層である。

【0043】第1の実施形態では、タングステン膜6'の側面にサイドウォール15が形成される前に、タングステン膜6'の側面を窒化処理し、タングステンナイトライド膜を形成している。このため、サイドウォール15の形成時にタングステン膜6'の側面の酸化を抑制でき、ウィスカが発生することを抑制できる。

【0044】なお、第1の実施形態では、積層電極8の構造として、多結晶シリコン膜4'、タングステンナイ

トライド膜5'、タングステン膜6'の3層の積層構造としているが、この形態に限らず、例えば、タングステンナイトライド膜とタングステン膜の2層構造とすることも可能である。

【0045】また、本実施形態は、ゲート電極に限らず、配線にも適用可能である。配線に適用する場合は、第1の実施形態において、ゲート絶縁膜3を形成せずに、図示しない絶縁膜上に上述の多結晶シリコン膜4'、タングステンナイトライド膜5'、タングステン膜6'を形成する。また、配線の構成としては、多結晶シリコン膜4'を形成せずに、図示しない絶縁膜上にタングステンナイトライド膜5'、タングステン膜6'を形成した2層構造とすることも可能である。

【0046】

【発明の効果】本発明に係る半導体装置では、積層電極の露出している側面を窒化処理した後にサイドウォールを形成している。このため、サイドウォールの形成時にタングステン膜の側面の酸化を抑制でき、ウィスカが発生することを抑制できる。

【図面の簡単な説明】

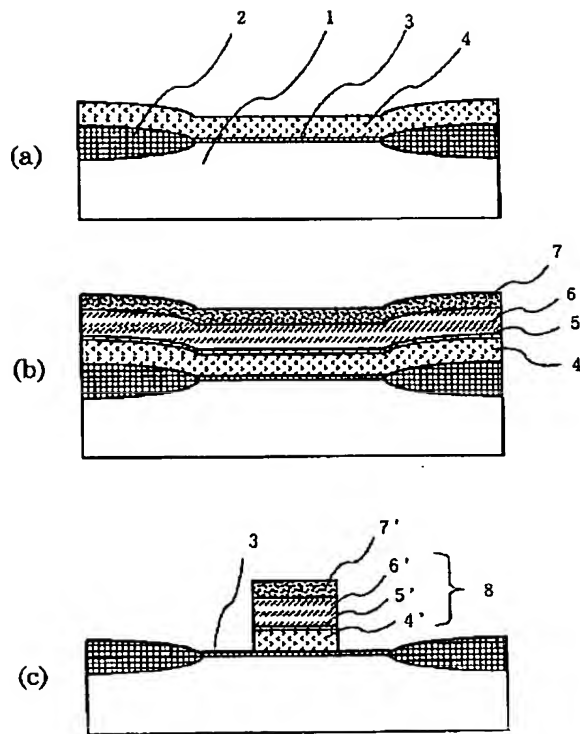
【図1】本発明の第1の実施形態における製造工程を説明する断面図である。

【図2】本発明の第1の実施形態における製造工程を説明する断面図である。

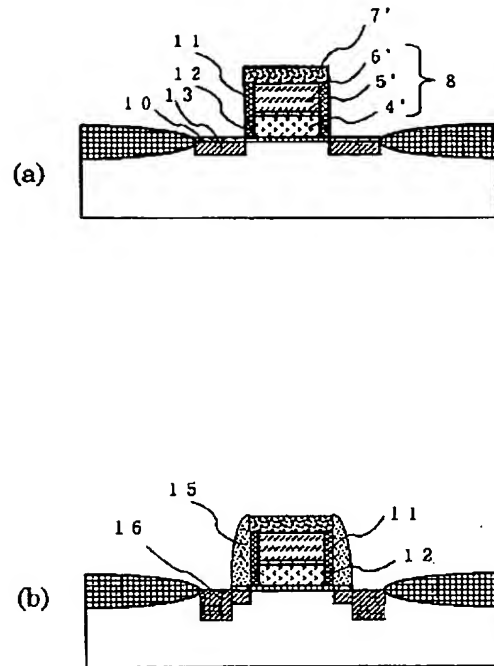
【符号の説明】

- 1 半導体基板
- 2 素子分離領域
- 3 ゲート絶縁膜
- 4 多結晶シリコン膜
- 5 タングステンナイトライド膜
- 6 タングステン膜
- 7 シリコン窒化膜
- 8 積層電極
- 10 シリコン窒化膜
- 11 タングステンナイトライド膜
- 12 シリコン窒化膜
- 13 浅い接合
- 15 サイドウォール
- 16 深い接合

【図 1】



【図 2】



フロントページの続き

(51) Int. Cl.⁷

識別記号

H O 1 L 21/3205
29/43
29/78

F I

H O 1 L 21/88
29/62
29/78

ターマコード' (参考)

R
G
3 0 1 G

F ターム (参考) 4M104 BB01 BB33 CC05 DD04 DD26
DD28 DD37 DD43 DD66 DD67
DD79 DD80 DD88 EE05 EE09
EE17 FF13 FF18 GG09 HH05
HH16 HH20
5F004 AA16 DB00 DB07 EA13 EB02
FA02
5F033 HH04 HH19 HH33 HH34 MM05
MM08 MM13 PP09 PP15 QQ08
QQ10 QQ13 QQ16 VV06 XX00
XX10 XX20 XX28
5F040 DA14 DC01 EC02 EC03 EC04
EC05 EC07 EC19 EF02 EJ02
EJ03 EJ04 EK01 FA04 FA07
FA18 FB02 FC02 FC21
5F058 BD09 BF41 BF64